

Semiconductor memory device

Patent Number: US2002145920

Publication date: 2002-10-10

Inventor(s): SHINOHARA TAKAYUKI (JP)

Applicant(s): MITSUBISHI ELECTRIC CORP (US)

Requested Patent: JP2002312232

Application Number: US20010974899 20011012

Priority Number(s): JP20010111259 20010410

IPC Classification: G11C7/00; G06K19/06; G11C11/34; G11C5/00

EC Classification: G11C7/22, G11C11/00C

Equivalents: DE10160089, US6523755

Abstract

The invention provides a semiconductor memory device which can easily constitute a large-capacity memory system for a compact information terminal at low cost. The semiconductor memory device (RAM) which receives a command from a CPU to read and write data is connected to a storage flash memory for reading and writing data in predetermined access units. The RAM includes a flash interface circuit for generating a control signal required for data access to the flash memory in synchronism with the command from the CPU, and a pseudo-SRAM serving as a memory element which can be randomly accessed. The RAM reads/writes data from/to either the flash memory or the pseudo-SRAM in accordance with the commands from the CPU

Data supplied from the esp@cenet database - I2

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2002-312232

(P2002-312232A)

(43)公開日 平成14年10月25日 (2002. 10. 25)

(51)Int.Cl'	識別記号	F I	テマコード*(参考)
G 06 F 12/00	5 5 0	G 06 F 12/00	5 5 0 K 5 B 0 6 0
	5 9 7		5 9 7 U 5 M 0 2 4
12/06	5 2 2	12/06	5 2 2 A
G 11 C 11/403		G 11 C 11/34	3 7 1 J

審査請求 未請求 請求項の数11 O L (全 13 頁)

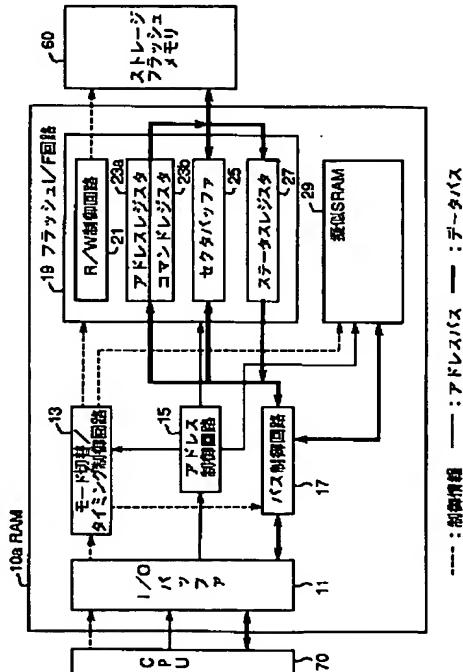
(21)出願番号	特願2001-111259(P2001-111259)	(71)出願人	000006013 三菱電機株式会社 東京都千代田区丸の内二丁目2番3号
(22)出願日	平成13年4月10日 (2001. 4. 10)	(72)発明者	篠原 隆幸 東京都千代田区丸の内二丁目2番3号 三菱電機株式会社内
		(74)代理人	100062144 弁理士 青山 葵 (外1名) Fターム(参考) 5B060 MM01 MM024 AA40 AA50 AA52 AA70 AA90 BB30 BB33 BB34 DD20 KK33 KK35 PP01 PP07 PP10

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】 小型情報端末用大容量メモリシステムを安価かつ容易に構成可能とする半導体記憶装置を提供する。

【解決手段】 CPU70からの指令を受けて、データの読み出し、書き込みを行なう半導体記憶装置(RAM10a)は、所定のアクセス単位でデータの読み出し、書き込みを行なうストレージフラッシュメモリ60に接続される。RAM10aは、CPU70からの指令に同期して、フラッシュメモリ60に対するデータのアクセスに必要な制御信号を生成するフラッシュインターフェース回路19と、ランダムアクセス可能なメモリ素子である擬似SRAM29とを備え、CPU70からの指令に応じて、フラッシュメモリ60または擬似SRAM29に対して、データの読み出し、書き込みを行なう。



【特許請求の範囲】

- 【請求項1】 C P Uからの指令を受けて、データの読み出し、書き込みを行なう半導体記憶装置であって、
a) 所定のアクセス単位でデータの読み出し、書き込みを行なう外部の不揮発性メモリに接続され、
b) C P Uからの指令に同期して、上記不揮発性メモリに対するデータのアクセスに必要な制御信号を生成するインターフェース回路と、
ランダムアクセスが可能なメモリ素子とを備え、
c) 上記C P Uからの指令に応じて、上記不揮発性メモリまたは上記メモリ素子に対して、データの読み出し、書き込みを行なうことを特徴とする半導体記憶装置。
- 【請求項2】 上記メモリ素子は各セルにおいて一のトランジスタと一のコンデンサが含まれるD R A M構成のメモリセルを含み、汎用非同期型のS R A Mと互換インターフェース及びタイミングでアクセス可能であることを特徴とする請求項1記載の半導体記憶装置。
- 【請求項3】 上記インターフェース回路は上記不揮発性メモリのアクセス単位であるセクタと同一容量を持つバッファメモリを有し、C P Uからの命令により、不揮発性メモリの任意のセクタとバッファメモリ間でデータ転送を可能としたことを特徴とする請求項1または請求項2記載の半導体記憶装置。
- 【請求項4】 上記バッファメモリは、バイト単位でランダムアクセスが可能であることを特徴とする請求項3記載の半導体記憶装置。
- 【請求項5】 上記バッファメモリと上記不揮発性メモリ素子間で転送されるデータに対して誤り訂正符号の生成、誤り検出及び誤り訂正を行なうE C C回路をさらに備えたことを特徴とする請求項3記載の半導体記憶装置。
- 【請求項6】 C P Uからの指令を受けて、データの読み出し、書き込みを行なう半導体記憶装置であって、
a) 所定のアクセス単位でデータの読み出し、書き込みを行なう外部の不揮発性メモリに接続され、
b) 上記C P Uからの指令と非同期に、上記不揮発性メモリに対するデータのアクセスに必要なタイミング信号及び制御信号を生成するメモリ制御回路と、
ランダムアクセスが可能なメモリ素子とを備え、
c) 上記C P Uからの指令に応じて、上記不揮発性メモリまたは上記メモリ素子に対して、データの読み出し、書き込みを行なうことを特徴とする半導体記憶装置。
- 【請求項7】 上記メモリ素子は各セルにおいて一のトランジスタと一のコンデンサが含まれるD R A M構成のメモリセルを含み、汎用非同期型のS R A Mと互換インターフェース及びタイミングでアクセス可能であることを特徴とする請求項6記載の半導体記憶装置。
- 【請求項8】 上記メモリ制御回路は、上記不揮発性メモリのアクセス単位であるセクタと同一容量を持つバッファメモリを有し、C P Uからの命令により、不揮発性

メモリの任意のセクタとバッファメモリ間でデータ転送を可能としたことを特徴とする請求項6または請求項7記載の半導体記憶装置。

【請求項9】 上記バッファメモリは、バイト単位でランダムアクセスが可能であることを特徴とする請求項8記載の半導体記憶装置。

【請求項10】 上記バッファメモリと上記不揮発性メモリ素子間で転送されるデータに対して誤り訂正符号の生成、誤り検出及び誤り訂正を行なうE C C回路をさらに備えたことを特徴とする請求項8記載の半導体記憶装置。

【請求項11】 請求項1ないし請求項10のいずれか一に記載の半導体記憶装置と、上記不揮発性メモリとを1つのパッケージに格納したことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は携帯電話等の小型情報端末に使用されるメモリシステムに関する。

【0002】

【従来の技術】一般に、携帯電話機等の小型情報端末に用いられるメモリシステムは、C P Uの命令コードおよび各種データ記憶用としてのリニアフラッシュメモリと、C P Uのワークエリアとして一時的にデータを記憶するためのS R A Mとで構成されている。特に実装面積の制約が厳しい携帯電話機においては、これらリニアフラッシュメモリとS R A Mを一つのパッケージに内蔵したM C P (Multi Chip Package) が採用されている。

【0003】

【発明が解決しようとする課題】最近の情報端末の高機能化、通信サービスの高速化に伴い、これらリニアフラッシュメモリおよびS R A Mに対する大容量化の要求が高まり、リニアフラッシュメモリおよびS R A Mの素子単体のメモリ容量が不足してきた。フラッシュメモリには、大容量ストレージ用途に適したブロック(セクタ)アクセスタイプのA N D型/N A N D型等のストレージフラッシュメモリが製品化されているが、これらはその仕様上の特徴からC P Uバスへの直結が困難なため、専用のインターフェース回路を外付けするか、あるいはC P Uとのポート接続による低速アクセスしかできないという問題点がある。さらに、これらストレージフラッシュメモリはブロック単位でのアクセスしかできず、ランダムアクセスが不可能なため一旦、別のR A M上にデータを転送して、R A M上に転送されたデータに対してC P Uからアクセスをする必要がある。このため、大容量のR A Mが必要になるという問題がある。

【0004】R A Mの大容量化については、D R A M同様に1トランジスタ型ダイナミックメモリセルを採用し、S R A Mと同じインターフェース仕様を有する擬似S

RAM素子の採用が考えられ、これによるRAM容量の増大は可能となるが、依然としてフラッシュメモリの容量不足の問題が残る。

【0005】本発明は、これら問題点の解決のために上記従来のメモリシステムにおけるSRAMに代わる半導体記憶装置を提供するもので、その半導体記憶装置内に上記ストレージフラッシュメモリのインターフェース回路あるいは制御機能を内蔵し、かつそのメモリセルをDRAMと同じ構成とすることで、小型情報端末用大容量メモリシステムを安価かつ容易に構成可能とすることを目的とする。

【0006】

【課題を解決するための手段】本発明に係る第1の半導体記憶装置は、CPUからの指令を受けて、データの読み出し、書き込みを行なう半導体記憶装置であって、以下の構成を有する。半導体記憶装置は所定のアクセス単位でデータの読み出し、書き込みを行なう外部の不揮発性メモリに接続され、CPUからの指令に同期して、不揮発性メモリに対するデータのアクセスに必要な制御信号を生成するインターフェース回路と、ランダムアクセスが可能なメモリ素子とを備える。第1の半導体記憶装置はCPUからの指令に応じて、不揮発性メモリまたはメモリ素子に対して、データの読み出し、書き込みを行なう。

【0007】第1の半導体記憶装置において、メモリ素子を、各セルにおいて一のトランジスタと一のコンデンサが含まれるDRAM構成のメモリセルを含み、汎用非同期型のSRAMと互換インターフェース及びタイミングでアクセス可能なもので構成してもよい。

【0008】第1の半導体記憶装置において、インターフェース回路は、不揮発性メモリのアクセス単位であるセクタと同一容量を持つバッファメモリを有してもよく、CPUからの命令により、不揮発性メモリの任意のセクタとバッファメモリ間でデータ転送を可能としてもよい。

【0009】第1の半導体記憶装置において、バッファメモリをバイト単位でランダムアクセスが可能なもので構成してもよい。

【0010】また、第1の半導体記憶装置は、バッファメモリと不揮発性メモリ素子間で転送されるデータに対して誤り訂正符号の生成、誤り検出及び誤り訂正を行なうECC回路をさらに備えてもよい。

【0011】本発明に係る第2の半導体記憶装置は、CPUからの指令を受けて、データの読み出し、書き込みを行なう半導体記憶装置であって、以下の構成を有する。第2の半導体記憶装置は、所定のアクセス単位でデータの読み出し、書き込みを行なう外部の不揮発性メモリに接続され、CPUからの指令と非同期に、不揮発性メモリに対するデータのアクセスに必要なタイミング信号及び制御信号を生成するメモリ制御回路と、ランダム

アクセスが可能なメモリ素子とを備える。第2の半導体記憶装置は、CPUからの指令に応じて、不揮発性メモリまたはメモリ素子に対して、データの読み出し、書き込みを行なう。

【0012】第2の半導体記憶装置において、メモリ素子を、各セルにおいて一のトランジスタと一のコンデンサが含まれるDRAM構成のメモリセルを含み、汎用非同期型のSRAMと互換インターフェース及びタイミングでアクセス可能なもので構成してもよい。

【0013】第2の半導体記憶装置において、メモリ制御回路は、不揮発性メモリのアクセス単位であるセクタと同一容量を持つバッファメモリを有してもよく、CPUからの命令により、不揮発性メモリの任意のセクタとバッファメモリ間でデータ転送を可能としてもよい。

【0014】第2の半導体記憶装置において、バッファメモリをバイト単位でランダムアクセスが可能なもので構成してもよい。

【0015】また、第2の半導体記憶装置は、バッファメモリと不揮発性メモリ素子間で転送されるデータに対して誤り訂正符号の生成、誤り検出及び誤り訂正を行なうECC回路をさらに備えてもよい。

【0016】本発明に係る第3の半導体記憶装置は、第1または第2の半導体記憶装置と、不揮発性メモリとを1つのパッケージに格納して構成される。

【0017】

【発明の実施の形態】以下、添付の図面を参照し、本発明に係る半導体記憶装置の実施の形態を説明する。

【0018】実施の形態1.

<1. 1 RAMの構成>図1に、本発明に係るRAM(ランダムアクセスメモリ)の構成及びそのRAM周辺の接続を示す。図1に示すように、RAM10aはストレージフラッシュメモリ(以下「フラッシュメモリ」という。)60とCPU70に接続されて使用される。RAM10aは、データ記憶部として大容量の擬似SRAM29を備える。擬似SRAM29は、各セルにおいて1つのトランジスタと1つのコンデンサを含む一般的なDRAMのメモリセルと同様の構成を有する1トランジスタ型のダイナミックメモリセルを採用し、かつ、SRAMと同じインターフェース仕様を有する大容量メモリである。そのような擬似SRAMには例えば日立製作所製のHM658512Aシリーズ等がある。また、RAM10aはフラッシュメモリ60との間でのデータ転送を制御するフラッシュインターフェース回路(以下「フラッシュI/F回路」という。)19を備えている。

【0019】フラッシュI/F回路19は、R/W制御回路21と、アドレスレジスタ23aと、コマンドレジスタ23bと、セクタバッファ25と、ステータスレジスタ27とを含む。

【0020】R/W制御回路21はフラッシュメモリ60に対するリード(読み出し)/ライト(書き込み)動

作に必要な制御信号を出力する。

【0021】アドレスレジスタ23aはCPU70から受けたアドレスを格納する。コマンドレジスタ23bはCPU70から受けたコマンドを格納する。ステータスレジスタ27はフラッシュメモリ60がbusy状態か否かを示すステータス情報を格納する。

【0022】セクタバッファ25は、フラッシュメモリ60に対して書き込むデータ又はフラッシュメモリ60から読み出したデータを一時的に格納するためのバッファである。RAM10aはこのセクタバッファ25を介してフラッシュメモリ60に対するデータのリード、ライトを行なう。セクタバッファ25上のデータに対してはCPU70からのバイト単位でのランダムアクセスが可能である。

【0023】RAM10aはさらに種々の回路ブロックを有する。すなわち、RAM10aは、CPU70との間でデータ入出力を行なうためのI/Oバッファ11と、RAM10a内の回路ブロックの動作タイミングを生成するモード切替／タイミング制御回路13と、アドレス制御回路15と、バス制御回路17とを有する。

【0024】モード切替／タイミング制御回路13は、CPU70の指定の動作モードに応じて、フラッシュI/F回路19、擬似SRAM29等の動作を制御するための信号を生成する。

【0025】アドレス制御回路15はCPU70からのアドレスをデコードし、アクセス先がフラッシュメモリ60であるか擬似SRAM29であるかを判別する。

【0026】バス制御回路17はI/Oバッファ11に対して、擬似SRAM29またはセクタバッファ25のいずれかを選択して接続する。

【0027】<1.2 RAMの動作>CPU70はRAM10aまたはフラッシュメモリ60に対してデータのリード、ライトを行なう場合、CPU70はRAM10aに対して制御情報、アドレス及びデータを出力する。RAM10aはCPU70から送られたアドレス情報から、擬似SRAM29に対するアクセスか、フラッシュメモリ60に対するアクセスかを判断し、いずれかのメモリを選択してデータのリード、ライトを行なう。

【0028】RAM10aにおいて、CPU70から制御情報やアドレスが入力されると、それらはI/Oバッファ11を経由してそれぞれ、モード切替／タイミング制御回路13およびアドレス制御回路15に入力される。アドレス制御回路15はCPU70からのアドレスをデコードし、そのデコード結果をモード切替／タイミング制御回路13に出力する。モード切替／タイミング制御回路13は、CPU70により指定される動作モード及びアドレス制御回路15からのデコード結果に応じて、RAM10a内のフラッシュI/F回路19または擬似SRAM29のいずれかをアクティブにし、CPU70からの入力信号に同期してフラッシュI/F回路1

9または擬似SRAM29を動作させるタイミングを生成する。

【0029】フラッシュメモリ60へのアクセス時は、フラッシュI/F回路19は、R/W制御回路21でフラッシュメモリ60のアクセスに必要なコントロール信号を生成し、CPU70からの指定アドレスおよびフラッシュメモリ60に対するコマンドをアドレスレジスタ23a、コマンドレジスタ23bでそれぞれ受け取る。フラッシュI/F回路19は、R/W制御回路21で生成されるコントロール信号をフラッシュメモリ60に対し出力する。

【0030】フラッシュメモリ60に対するデータのリード／ライトはセクタバッファ25を介して行われる。RAM10a内部の擬似SRAM29およびフラッシュI/F回路19のバス切替は、モード切替／タイミング制御回路13の出力に応じて、バス制御回路17によって制御される。フラッシュメモリ60のステータス情報は、フラッシュI/F回路19内のステータスレジスタ27に格納されており、そのステータスレジスタ27を介して読出し可能である。

【0031】図2に、RAM10aの種々の動作モードにおける各コントロール信号の値を示す。同図に示すようにコントロール信号（/CS1、/CS2、/Flash、/WE、/OE、/RF SH）の組み合わせにより以下の動作を実現する。

①擬似SRAM29へのリード／ライト／リフレッシュ動作

②セクタバッファ25に対するリード／ライト動作

③フラッシュメモリ60に対するリード／ライト／イレーズ動作

【0032】以下、各動作①～③の詳細について説明する。なお、各コントロール信号は下記の意味合いを持つ。

/CS1：データ・アクセス対象として擬似SRAM29を選択。

/CS2：データ・アクセス対象としてセクタバッファ25を選択。

/Flash：データ・アクセス対象としてフラッシュメモリ60を選択。

/WE：データのライト動作を指定。

/OE：データのリード動作を指定。

/RF SH：擬似SRAM29のリフレッシュ動作を指定。

ここで、各コントロール信号名の先頭の表記「/」はアクティブ・ローで動作することを意味する。

【0033】①擬似SRAMへのリード／ライト／リフレッシュ動作

/CS1をアクティブ（「L」）にすることにより、擬似SRAM29のリード／ライト動作が可能となる。すなわち、/CS1を「L」、/OEを「L」にすること

でリード動作が可能となる。一方、 $/CS_1$ を「L」、 $/WE$ を「L」にすることでライト動作が可能となる。このとき、擬似SRAM29のメモリ容量を16Mb ($2M\text{ word} \times 8bit$) とすると、アドレス入力はA0-A20までの21本が必要となる。これらは、一般的な非同期型SRAMと同様のタイミングでリード/ライト可能である。また、 $/CS_1$ を非アクティブ ('H') の状態で、 $/RF SH$ を「L」にすることで、1トランジスタ型ダイナミックメモリセルの自動リフレッシュがなされる。

【0034】図3にリードタイミングのタイミングチャートを示す。アドレス入力A0-A20に有効なアドレスがセットされ、 $/CS_1$ が「L」になり、 $/OE$ が「L」($/WE$ は'H')になると、データバスDQ0-DQ7に擬似SRAM29から有効なデータが出力される。

【0035】図4にライトタイミングのタイミングチャートを示す。アドレス入力A0-A20に有効なアドレスがセットされ、 $/CS_1$ が「L」になり、 $/WE$ が「L」($/OE$ は'H')になると、データバスDQ0-DQ7上の有効なデータが擬似SRAM29に書き込まれる。

【0036】②セクタバッファに対するリード/ライト動作

セクタバッファ25へのアクセスは、 $/CS_2$ により制御される。すなわち、 $/CS_2$ が「L」、 $/OE$ が「L」でリード、 $/CS_2$ が「L」、 $/WE$ が「L」でライト動作が可能となる。セクタバッファ25の容量は、フラッシュメモリ60のセクタサイズと同等とする。フラッシュメモリ60として256Mb (メガビット) のAND型フラッシュメモリを採用すると、セクタバッファサイズは2112B (バイト) となるため、アドレス入力にはA0-A11までの12本が必要となる。

【0037】③ストレージフラッシュメモリに対するリード/ライト/イレース動作

本実施形態では、フラッシュメモリ60からのデータのリード、及び、フラッシュメモリ60へのデータのライトは、すべてセクタバッファ25を経由して実施される。フラッシュメモリ60のアクセスに際しては、 $/Flash$ がアクティブ ('L') に設定される。

【0038】ここで、CPU70がフラッシュメモリ60に対してリード/ライト等のアクセスを行なう際は、論理的に設定されたレジスタであるデータレジスタへのアクセスにより行なう。データレジスタには所定のアドレスが割り当てられており、そのアドレスにより論理的に認識され得るものである。CPU70はフラッシュメモリ60に対しデータの書き込み、読み出しを行なうときは、データレジスタに割り当てられたアドレスを指定してデータの読み出し、書き込みを行なう。そのときの

CPU70からの制御信号及びタイミングを利用して、セクタバッファ25とフラッシュメモリ60間のデータ転送のための制御が行なわれる。

【0039】最初に、リード(読み出し)動作について図5及び図6のタイミングチャートを用いて説明する。なお、図5及び図6のタイミングチャートは共通の時間軸を有する。タイミングチャート中、最初に“F-”の付いた信号はフラッシュメモリI/F回路19に接続されるフラッシュメモリ60の信号名を示している。

【0040】フラッシュメモリ60のリード動作に際し、 $/Flash$ をアクティブ ('L') にし、フラッシュメモリ60に対するリードコマンド (CMD1) 及びアクセスするセクタアドレス (Add) を、それぞれアドレス/コマンドレジスタ23に書き込む。256MbのAND型フラッシュの場合、2KBのセクタが16K個存在するため、セクタアドレス (A0-A13) は二度に分けて入力する。図5の例では、アドレスは、セクタアドレスSA1とセクタアドレスSA2とに分けて入力されている。

【0041】その後、CPU70からのデータレジスタに対する2K回の読み出しサイクル ($/OE$ 信号) に同期して、フラッシュI/F回路19のR/W制御回路21がAND型フラッシュメモリに対するSC (シリアルロック) 信号 (図6中でF-SCで表され、 $/OE$ 信号の反転値をとる。) を発生し、フラッシュI/F回路19のデータバス (F-I/O) 上に読み出しデータ (D0, D1, …, D2111) が出力される。それと同時に、このバス上のデータが、 $/OE$ 信号より生成されるセクタバッファ25への書き込み信号 ($/B-WE$ 、内部信号) の立ち上がりでセクタバッファ25へ書き込まれる。このCPU70からのデータレジスタへのアクセス中は、CPUデータバス (DQ0-DQ7) はハイインピーダンス状態となり、データ出力はされない。以上により、フラッシュメモリ60の指定セクタのデータが、RAM10aのセクタバッファ25へ転送される。

【0042】次に、フラッシュメモリ60へのライト(書き込み)動作について図7及び図8のタイミングチャートを用いて説明する。なお、図7及び図8のタイミングチャートは共通の時間軸を有する。

【0043】ライト動作の場合も、リード動作時と同様に書き込みコマンド (CMD2)、および書き込み先となる、セクタアドレスを入力後、CPU70からのデータレジスタに対する書き込みサイクルすなわち $/WE$ 信号に同期して、セクタバッファ25の読み出し信号 ($/B-OE$) が生成され、セクタバッファ25上のデータが先頭アドレスより順次フラッシュI/F回路19のデータバス (F-I/O) 上に出力される。CPU70からの $/WE$ 信号から生成されるAND型フラッシュのSC信号 (F-SC) によって、上記バス (F-I/O) 上のデータ (D0, D1, …, D2111) がAND型フラッ

シュの指定されたセクタへ書き込まれる。AND型フラッシュの場合、SC信号の立ち上がりで書き込みデータがラッピングされるため、CPU70からの／WE信号からSC信号を生成する際は、／WEの反転信号をセクタバッファ25のアクセス時間分だけ遅延させて生成する必要がある。

【0044】なお、CPU70からデータレジスタへの書き込みの際に入力される1セクタ分のデータは、実際にはセクタバッファ25にもフラッシュメモリ60にも書き込まれないダミーデータである。また、AND型フラッシュメモリへの書き込みの場合、1セクタ(2112B)分のデータを入力後、AND型フラッシュメモリに対するプログラム開始を指示するためのコマンド(図6及び図7中のCMD3)が必要である。

【0045】次に、フラッシュメモリ60への消去(イレーズ)動作について図9及び図10のタイミングチャートを用いて説明する。なお、図9及び図10のタイミングチャートは共通の時間軸を有する。

【0046】消去動作(図9、図10に示す)はデータの入出力を伴わない。AND型フラッシュメモリの場合は、読出し/書き込み動作と同様に消去コマンド(CMD4)をコマンドレジスタ23bへ、消去対象となるセクタのアドレスをアドレスレジスタ23aへ書き込んだ後、さらに、消去開始を指示するコマンド(CMD5)をコマンドレジスタ23bへ書き込むと、消去動作が開始される。

【0047】なお、一般にフラッシュメモリの書き込み/消去動作は、msオーダーの時間が必要である。256MbのAND型フラッシュの場合、セクタあたりの書き込み時間および消去時間(標準値)は、それぞれ2.5msおよび1msである。フラッシュメモリのステータスデータをポーリングすることで、書き込み/消去動作の完了を知ることができる。本実施形態においては、フラッシュI/F回路19内のステータスレジスタ27を参照することで、フラッシュメモリ60のステータス情報の読み出しができる。

【0048】以上のように、本実施形態においては、RAM10a内にフラッシュI/F回路19を内蔵し、そのフラッシュI/F回路19により、CPU70からRAM10aに対するメモリアクセスの信号入力からストレージフラッシュメモリ60へのアクセスに必要な信号を生成し、ストレージフラッシュメモリ60へのアクセスを可能とした。これにより、CPU70からストレージフラッシュメモリ60へのアクセスが容易になる。

【0049】また、CPU70とストレージフラッシュメモリ60間のデータの入出力を、RAM10a内に設けたストレージフラッシュメモリ60のセクタサイズ等しいセクタバッファ25を介して実施し、かつ、このセクタバッファ25に対するCPU70からのランダムアクセスを可能としたため、セクタバッファ25をCP

U70の作業領域として使用できる。

【0050】さらに、RAM10aの主な記憶領域を1トランジスタダイナミックメモリセルからなる擬似SRAMで構成したため、大容量のRAMを安価に実現できる。

【0051】実施の形態2。前述の実施形態では、CPU70からRAM10aへのアクセスタイミングを用いて、すなわち、CPU70のクロックのタイミングに同期して、RAM10a内に設けたフラッシュI/F回路19によりRAM10aに接続されたフラッシュメモリ60へのアクセスに必要な信号及びそれらのタイミングを生成する例を示した。これに対し、本実施形態のRAMは、CPU70からフラッシュメモリ60に対するセクタアドレスと動作コマンドのみを受け、フラッシュメモリ60に対する入力信号やタイミングを自ら生成する。すなわち、本実施形態のRAMはCPU70からのアクセス指令と非同期にフラッシュメモリ60へのデータアクセスを行なう。

【0052】<2.1 RAMの構成>図11に本実施形態のRAMの機能ブロック図を示す。同図に示すように、RAM10bは、フラッシュメモリ60および擬似SRAM29の動作に必要な制御信号およびタイミングを生成するフラッシュコントローラ31を備える。

【0053】フラッシュコントローラ31は、バス制御回路17と、セクタバッファ25と、レジスタ群41と、タイミングジェネレータ43と、クロック生成回路45と、フラッシュメモリインタフェース(I/F)47と、PSRAMコントローラ49と、ECC回路55とからなる。フラッシュコントローラ31は、クロックに同期して各種信号を生成する順序回路(ハードウェア)のみで構成される。

【0054】また、RAM10bは、擬似SRAM29に対して入力するアドレスと制御情報を切替えるためのセレクタ51、53を備える。セレクタ51、53は、擬似SRAM29とフラッシュメモリ60との間のデータ転送時と、それ以外のデータ転送時とで、擬似SRAM29に入力するアドレス及び制御情報の切替を行なう。

【0055】レジスタ群41は、CPU70からのコマンドを格納するコマンドレジスタ41a、フラッシュメモリ60のセクタアドレスを格納するセクタアドレスレジスタ41b、擬似SRAM29のアドレスを格納する擬似SRAMアドレスレジスタ41c及びステータス情報を格納するステータスレジスタ41dからなる。

【0056】クロック生成回路45は、外付けの発振子63からの出力を用いて基本内部クロックを生成する。

【0057】ECC回路55は、フラッシュメモリ60とセクタバッファ25間で転送されるデータに対し、フラッシュメモリ60へのデータ書き込み時はチェックコードの生成(ECC符号化処理)を、フラッシュメモリ

60からのデータ読み出し時はエラー検出／訂正（ECC復号化処理）を実施する。

【0058】タイミングジェネレータ43はフラッシュコントローラ31内の各ブロックのタイミングを生成する。すなわち、タイミングジェネレータ43は、CPU70のクロックとは同期に、クロック生成回路45で生成される基本内部クロックからフラッシュメモリ60および擬似SRAM29の動作に必要な全てのタイミングを生成する。

【0059】フラッシュコントローラ31は、CPU70よりレジスタ群41の各レジスタ41a～41dに書き込まれた各種パラメータおよびコマンドにより、その動作シーケンスが決定される。フラッシュメモリ60とCPU70間のデータ転送は、実施の形態1の場合と同様にセクタバッファ25を介して実施される。さらに本実施形態では、新たにPSRAMコントローラ49を搭載し、タイミングジェネレータ43の制御によってセクタバッファ25と擬似SRAM29間のデータ転送も可能としている。これにより外部CPU70の負荷が軽減される。

【0060】<2.2 RAMの動作>以下に、①ストレージフラッシュメモリ60からのリード動作、②セクタバッファ25から擬似SRAMの指定アドレスへのセクタデータ転送動作について説明する。

【0061】①ストレージフラッシュメモリからのリード動作

CPU70は、読み出すべきストレージフラッシュメモリ60のセクタアドレスおよび読み出しコマンドをレジスタ群41内の中のセクタアドレスレジスタ41b及びコマンドレジスタ41aに書き込む。書き込み順序は、セクタアドレス1(SA1)、セクタアドレス2(SA2)、最後にコマンド(CMD)の順で書き込む。コマンドレジスタ41aへの書き込みを、アドレス制御回路15およびモード切替／タイミング制御回路13で検出し、フラッシュコントローラ31へトリガ信号を入力する。このトリガ信号により、フラッシュコントローラ31の制御による内部動作に移行する。すなわち、コマンドレジスタ41aへの書き込みが検出されると、ステータスレジスタ41dのbusyビットがセットされ、CPU70からRAM10bへのアクセスが不可となる。その後、タイミングジェネレータ43は、コマンドレジスタ41aに書かれたコマンドコードに応じて、クロック生成回路45の基準クロックからフラッシュメモリ60の読み出しに必要な信号およびタイミングを生成する。そのタイミングにしたがい、フラッシュメモリ60からセクタアドレスレジスタ41bに設定されたセクタから1セクタ分のデータが読み出され、フラッシュメモリI/F47を介してデータバッファ25へ転送される。

【0062】本実施形態においては、フラッシュメモリ60とセクタバッファ25の間にECC回路55を備

え、セクタデータの転送の間に転送データのエラー検出および訂正を可能としている。タイミングジェネレータ43を搭載しない、第1の実施形態の構成にECC回路55を付加することも可能であるが、その場合、エラー訂正のための追加サイクル(クロック)を外部CPU70からのダミーサイクルで実行する必要が生じるため、外部CPU70の負荷が増えるというデメリットが生じる。それに対し、本実施形態では、内部動作に必要なクロックは全てタイミングジェネレータ43により生成されるため、このような問題は生じない。

【0063】セクタバッファ25への転送処理が完了した時点で、フラッシュコントローラ31はステータスレジスタ41dのbusyビットをクリアする。転送処理完了をCPU70へ通知するために、ステータスレジスタ41dのbusyビットのクリアと連動して発生する割り込み出力又はready//busy出力を設けても良い。

【0064】②セクタバッファから擬似SRAMの指定アドレスへのセクタデータの転送

CPU70は、擬似SRAM29における書き込みアドレスを、擬似SRAMアドレスレジスタ41cにセット後、コマンドコードをコマンドレジスタ41aに書き込む。コマンドレジスタ41aへのコマンドの書き込みにより、ステータスレジスタ41dのbusyビットがbusy状態にセットされ、フラッシュコントローラ31が内部動作の制御を開始する。バス制御回路17により、セクタバッファ25と擬似SRAM29との間のバスが接続され、タイミングジェネレータ43の制御によりセクタバッファ25内の先頭データから順次内部バス上に読み出されると同時に、擬似SRAM29対し、指定アドレスから順次書き込みが行われる。セクタバッファ25から擬似SRAM29へのデータ転送が完了すると、ステータスレジスタ41cのbusyビットがクリアされる。

【0065】以上のように、本実施形態においては、RAM10b内にストレージフラッシュメモリを制御するコントローラ31を搭載し、ストレージフラッシュメモリ60、セクタバッファ25及び擬似SRAM29へのアクセスに必要な信号、タイミングを自ら生成するようにした。これにより、外部CPU70は単に転送元あるいは転送先のアドレス情報と動作コマンドのみを、通常のメモリサイクルでそれぞれのレジスタ14b、41aに書き込むだけで、セクタデータの転送がRAM10b内部で自動的に行われる。よって、実施の形態1による効果に加え、さらなる外部CPU70の負荷軽減およびデータの高速転送の実現が可能となる。

【0066】さらに、本実施形態では、フラッシュメモリ60とセクタバッファ25間にECC回路55を設け、フラッシュメモリ60とセクタバッファ25間の転送データに対してECC符号化/ECC復号化処理を実施するようにしているため、データ信頼性の高いメモリシステムが実現可能となる。なお、そのようなECC回

路を、実施の形態1のRAM10aにおいても、フラッシュメモリ60とセクタバッファ25間のデータに対しECC符号化/ECC復号化処理を施すように設けてよい。

【0067】また、本実施形態におけるフラッシュコントローラ31は、クロックに同期して各種信号を生成する順序回路(ハードウェア)のみで構成しているが、組み込み型のCPUコアとその命令コードを格納したメモリ内蔵し、これによりハードウェアを制御するようにしてもよい。そのように構成することにより、より柔軟で高度な制御が可能となる。

【0068】さらに、本実施形態においては、クロック源を外付けの発振子63で供給しているが、発振回路をRAM10bのチップ上に実装することも可能である。

【0069】実施の形態3、図12及び図13に、実施の形態1および2で述べたRAMと、ストレージフラッシュメモリ60とを1つのパッケージに格納したMCP(Multi Chip Package)の例を示す。このように、MCP100a、100bにすることにより、ストレージフラッシュメモリ60の全信号がCPU70側のバスに出ることなく全てRAM10a又は10b内のフラッシュI/F回路19又はフラッシュコントローラ31に接続されるため、集積回路のピン数を減らすことができる。これは、基板の実装面積や配線パターンの引き回しに有利となり、携帯電話等の機器の小型化、高密度実装化に有用である。

【0070】

【発明の効果】本発明に係る第1の半導体記憶装置によれば、外部接続する不揮発性メモリに対するデータのアクセスに必要な制御信号を生成するインターフェース回路を内蔵するため、ランダムアクセスメモリと不揮発性メモリからなるメモリシステムにおいて、不揮発性メモリに対するインターフェース回路を別途設ける必要がなくなり、小型、大容量のメモリシステムが実現できる。

【0071】また、第1の半導体記憶装置において、メモリ素子をDRAM構成のメモリセルを含み、汎用非同期型のSRAMと互換インターフェース及びタイミングでアクセス可能なもので構成することにより、大容量メモリシステムを安価に実現できる。

【0072】また、第1の半導体記憶装置のインターフェース回路において、不揮発性メモリのアクセス単位であるセクタと同一容量を持つバッファメモリを設けてもよく、これにより、バッファメモリをCPUの作業領域として使用できる。

【0073】また、バッファメモリをバイト単位でランダムアクセスが可能なもので構成してもよく、これにより、CPUからの不揮発性メモリに対するランダムアクセスが可能となる。

【0074】また、第1の半導体記憶装置において、バッファメモリとメモリ素子間で転送されるデータに対し

て誤り訂正符号の生成、誤り検出及び誤り訂正を行なうECC回路をさらに備えてもよく、これにより、データの信頼性の高いメモリシステムを実現できる。

【0075】本発明の第2の半導体記憶装置は、CPUからの指令と非同期に、外部接続された不揮発性メモリに対するデータのアクセスに必要なタイミング信号及び制御信号を生成するメモリ制御回路を備える。このため、外部CPUは単に転送元あるいは転送先のアドレス情報と動作コマンドのみを、通常のメモリサイクルで半導体記憶装置に送信するだけで、半導体記憶装置と外部不揮発性メモリ間のデータの転送が自動的に行われる。よって、第1の半導体記憶装置による効果に加え、さらに、外部CPUの負荷軽減およびデータの高速転送が実現できる。

【0076】第2の半導体記憶装置において、メモリ素子をDRAM構成のメモリセルを含み、汎用非同期型のSRAMと互換インターフェース及びタイミングでアクセス可能なもので構成してもよく、これにより、大容量メモリシステムを安価に実現できる。

【0077】また、第2の半導体記憶装置のインターフェース回路において、不揮発性メモリのアクセス単位であるセクタと同一容量を持つバッファメモリを設けてもよく、これにより、バッファメモリをCPUの作業領域として使用できる。

【0078】また、バッファメモリをバイト単位でランダムアクセスが可能なもので構成してもよく、これにより、CPUからの不揮発性メモリに対するランダムアクセスが可能となる。

【0079】また、第2の半導体記憶装置において、バッファメモリとメモリ素子間で転送されるデータに対して誤り訂正符号の生成、誤り検出及び誤り訂正を行なうECC回路をさらに備えてもよく、これにより、データの信頼性の高いメモリシステムを実現できる。

【0080】本発明に係る第3の半導体記憶装置によれば、半導体記憶装置と不揮発性メモリとを1つのパッケージに格納することにより、回路全体のピン数を低減でき、基板の実装面積や配線パターンの引き回しに有利となる。このような半導体記憶装置を利用した携帯電話等の情報機器の小型化、高密度実装化を実現できる。

【図面の簡単な説明】

【図1】 本発明に係る半導体記憶装置(RAM)の構成図(実施の形態1)。

【図2】 実施の形態1のRAMの動作モードに対応した制御信号の状態を説明したテーブル。

【図3】 実施の形態1のRAMのリードタイミングを示すタイミングチャート。

【図4】 実施の形態1のRAMのライトタイミングを示すタイミングチャート。

【図5】 ストレージフラッシュメモリに対するリード(読み出し)動作のタイミングチャート(前半)。

【図6】ストレージフラッシュメモリに対するリード(読み出し)動作のタイミングチャート(後半)。

【図7】ストレージフラッシュメモリに対するライト(書き込み)動作のタイミングチャート(前半)。

【図8】ストレージフラッシュメモリに対するライト(書き込み)動作のタイミングチャート(後半)。

【図9】ストレージフラッシュメモリに対するイレーズ(消去)動作のタイミングチャート(前半)。

【図10】ストレージフラッシュメモリに対するイレーズ(消去)動作のタイミングチャート(後半)。

【図11】本発明に係る半導体記憶装置(RAM)の構成図(実施の形態2)。

【図12】実施の形態1のRAMとストレージフラッシュメモリとをMCP化した構成を説明した図(実施の形態3)。

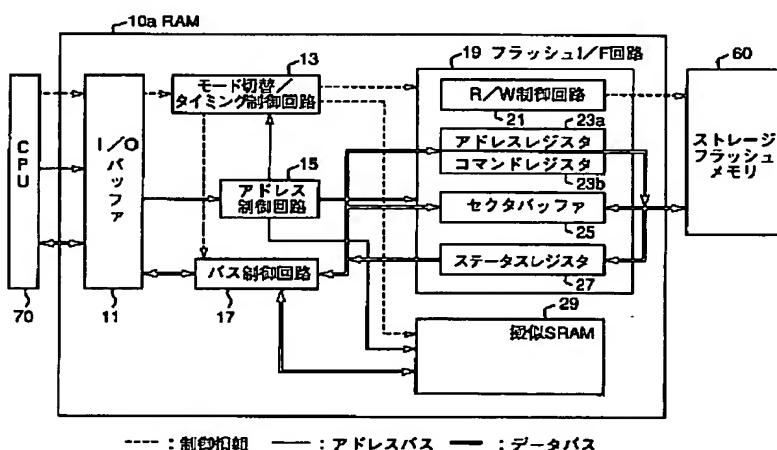
【図13】実施の形態2のRAMとストレージフラッシュメモリとをMCP化した構成を説明した図(実施の形態3)。

形態3)。

【符号の説明】

10a, 10b RAM、11 I/Oバッファ、13 モード切替/体ミング制御回路、15 アドレス制御回路、17 バス制御回路、19 フラッシュインターフェース(I/F)回路、21 R/W制御回路、23a アドレスレジスタ、23b, 45 コマンドレジスタ、25, 50 セクタバッファ、27, 41d ステータスレジスタ、29 擬似SRAM、41b セクタアドレスレジスタ、41c 擬似SRAMアドレスレジスタ、43 タイミングジェネレータ、45 クロック生成回路、47 フラッシュメモリインターフェース、49 擬似SRAMコントローラ、55 ECC回路、60 ストレージフラッシュメモリ、63 発信子、70 CPU、100a, 100b MCP。

【図1】

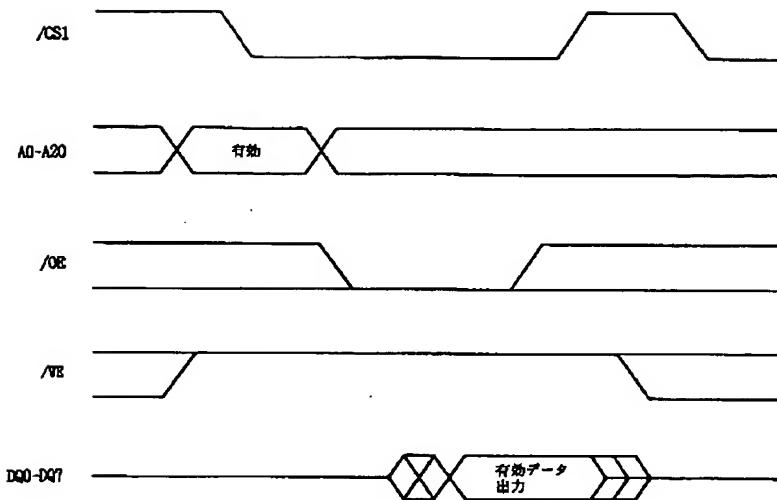


【図2】

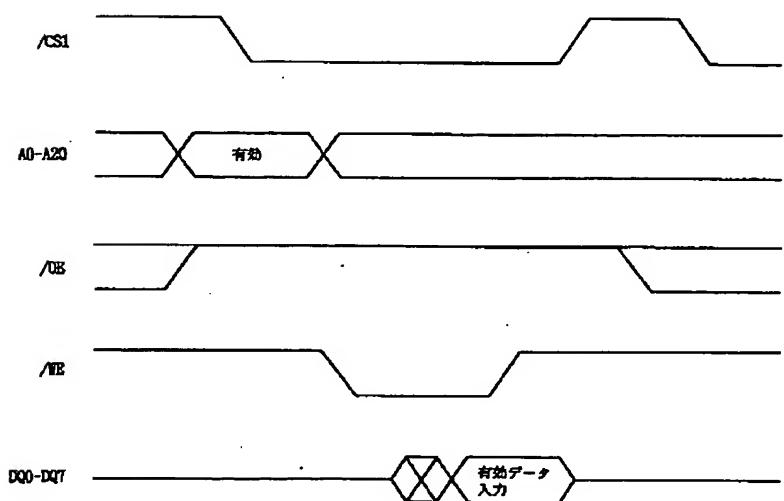
動作ブロック	動作(R/W/E)	I/Cs1	I/Cs2	Flash	NWE	JOE	/RFSH	ホストアドレス	ホストデータ	備考
擬似SRAM	リード	L	H	H	H	L	X	有効	出力	擬似SRAM→ホスト
	ライト	L	H	H	L	H	X	有効	入力	ホスト→擬似SRAM
ストレージフラッシュメモリ	リフレッシュ	H	H	H	H	H	L	任意	Hi-Z	擬似SRAMリフレッシュ
	バッファ・リード	H	L	H	H	L	X	有効	出力	セクタバッファ→ホスト
	バッファ・ライト	H	L	H	L	H	X	有効	入力	ホスト→セクタバッファ
	フラッシュ・リード	H	H	L	H	L	X	有効	Hi-Z	フラッシュ→セクタバッファ
	フラッシュ・ライト	H	H	L	L	H	X	有効	入力	セクタバッファ→フラッシュ
	フラッシュ・消去	H	H	L	H	H	X	任意	任意	フラッシュセクタ消去
	スタンバイ	H	H	H	X	X	H	任意	Hi-Z	

(10) 02-312232 (P2002-31JL8

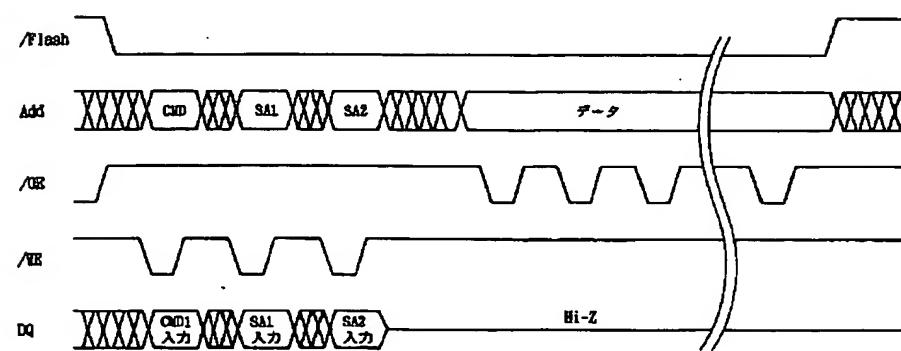
【図3】



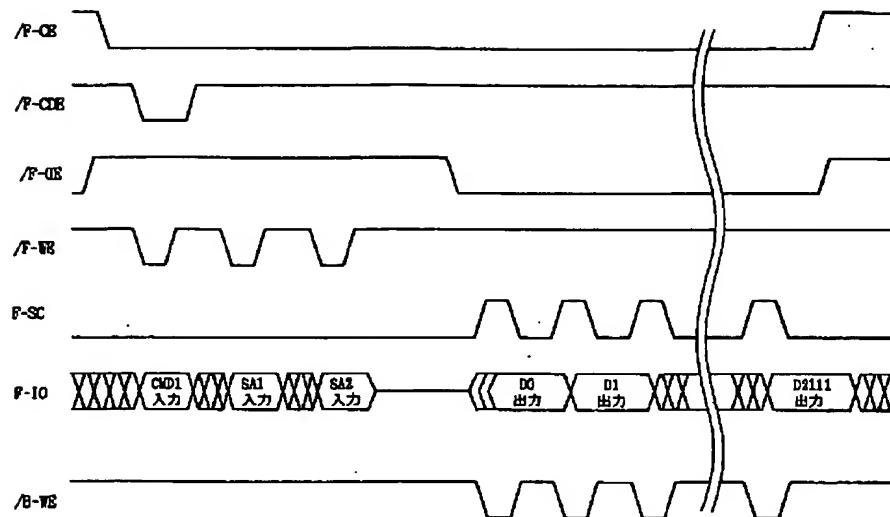
【図4】



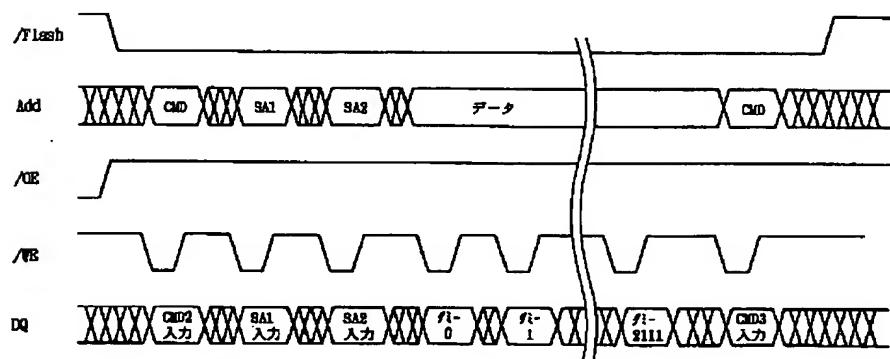
【図5】



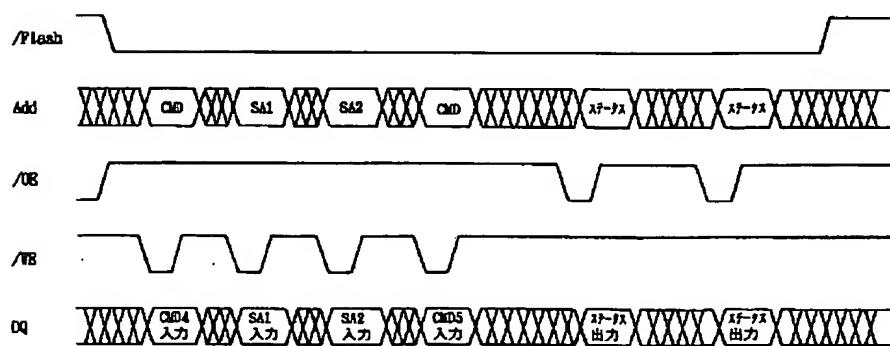
【図6】



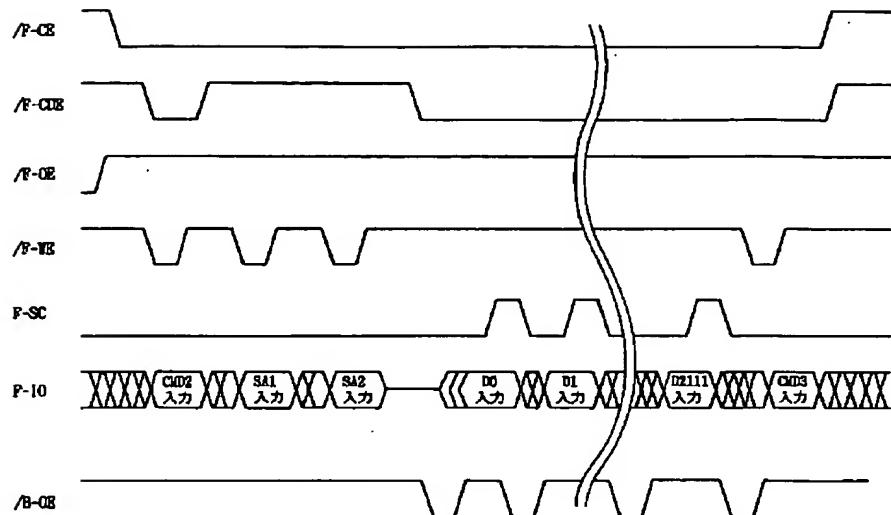
【図7】



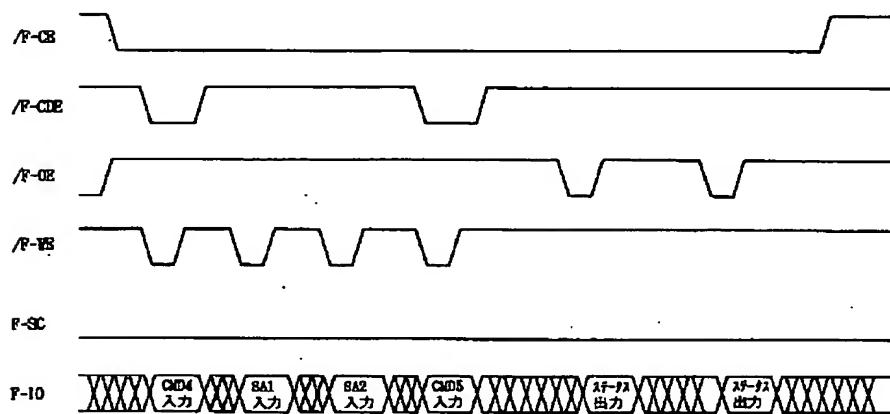
【図9】



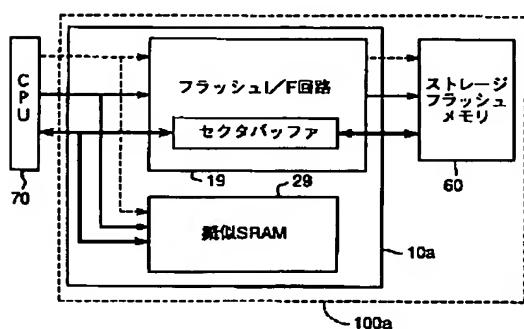
【図8】



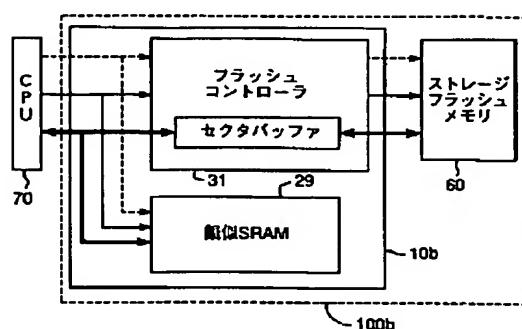
【図10】



【図12】



【図13】



【図11】

